

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-167449

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)6月15日

H 01 L 21/30  
21/3205

A 7353-4M

7353-4M H 01 L 21/88

A

審査請求 未請求 請求項の数 3 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平2-293958

⑰ 出 願 平2(1990)10月31日

⑱ 発 明 者 大 岡 秀 幸 東京都港区芝5丁目7番1号 日本電気株式会社内  
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号  
⑳ 代 理 人 弁理士 鈴木 章夫

# 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

1. 層間絶縁膜によって絶縁される二層以上の金属配線を有し、前記層間絶縁膜に形成された開孔内に高融点金属を埋設したビア・ホールを介して前記金属配線を電気接続してなる半導体装置において、ワイヤを接続するための電極パッド部を有する上層金属配線とその下層の金属配線との接続を行うためのビア・ホールを、前記電極パッド部以外の表面保護膜で覆われた領域に配設したことを特徴とする半導体装置。

2. 前記ビア・ホールは、小さい面積をした複数個のビア・ホールで構成されてなる特許請求の範囲第1項記載の半導体装置。

3. 前記金属配線がアルミニウムまたはアルミニウムを主成分とする合金膜、あるいは高融点金属または高融点金属化合物とアルミニウムまたはアルミニウムを主成分とする合金膜との積層膜で構

成されてなる特許請求の範囲第1項記載または第2項記載の半導体装置。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置に関し、特に二層以上の金属配線層を有する半導体装置に関する。

(従来の技術)

半導体集積回路の微細化、高集積化に伴って配線の多層化が進み、さらに配線層間の電氣的接続孔(ビア・ホール)の面積は、益々縮小されつつある。このため、ビア・ホールのアスペクト比(開孔幅/開孔深さ)が増大し、ビア・ホール内の金属配線のステップ・カバレッジ(段差被覆性)が急速に悪化し、接続抵抗の増大、信頼性の低下をもたらしている。

このような問題を解決する技術として、最近低抵抗のタングステン(W)膜を気相成長法によって下層配線層上のビア・ホール内部に選択的に埋込み形成する方法が試みられている。

例えば、第3図(a)および(b)は、外部接

統用リードフレームにワイヤを接続する、いわゆる電極パッド部に採用されている従来以前の構造を示しており、同図(a)は平面図、同図(b)はそのC-C線に沿う断面図である。ここでは、シリコン基板1上の絶縁膜2にアルミニウムからなる下層金属配線3を形成し、この上に設けた層間絶縁膜4にビア・ホール5Aを開設し、このビア・ホール5A上に上層金属配線6を形成し、これを表面保護膜7で覆うとともに、その一部に開孔71を設けることで、上層金属配線6の一部に電極パッド部61を構成している。

このような電極パッド部の構成では、ビア・ホールの縮小化に伴って前記したような問題が生じるため、第4図(a)および(b)にそれぞれ平面図とD-D線断面図を示すように、層間絶縁膜4に設けたビア・ホール5A内にタングステン層51を埋設し、このタングステン層51を介して下層の金属配線3と上層の金属配線6を電気接続する構成が提案されている。

なお、この例では、下層の金属配線3はAl-

Si-Cu膜31と、TiW膜32との積層膜として構成され、上層の金属配線6はAl-Si-Cu膜とされている。

〔発明が解決しようとする課題〕

しかしながら、このような第4図(a),(b)に示す構成では、ビア・ホール内に埋込まれたタングステン層51は熱膨張係数や硬度がアルミニウム形配線材料で構成される上層および下層の各金属配線3, 6に比べて大きく異なっている。このため、組立時や実使用時における温度サイクルによる応力等により、表面保護膜7で覆われていない上層金属配線6の電極パッド部61で金属配線6とタングステン層51との間、あるいは金属配線6と層間絶縁膜4および表面保護膜7との界面での剥がれ等が発生し易くなっている。

したがって、このような剥がれが生じると、ワイヤの接続の信頼性が低下するとともに、剥離されたときに下層の金属配線が露呈され、耐湿性が劣化されるという問題が生じることになる。

本発明の目的は、このような剥離を防止した半

導体装置を提供することにある。

〔課題を解決するための手段〕

本発明の半導体装置は、電極パッド部を有する上層金属配線と、その下層の金属配線との接続を行うためのビア・ホールを、電極パッド部以外の表面保護膜で覆われた領域に配設している。

この場合、ビア・ホールは、小さい面積をした複数個のビア・ホールで構成することが好ましい。

また、金属配線は、アルミニウムまたはアルミニウムを主成分とする合金膜、あるいは高融点金属または高融点金属化合物とアルミニウムまたはアルミニウムを主成分とする合金膜との積層膜で構成される。

〔作用〕

本発明によれば、ビア・ホールは電極パッド部の直下を避けて表面保護膜で覆われた領域に配設されることで、電極パッド部において上層金属配線とビア・ホール内に埋設された高融点金属との間で応力が発生することなく、電極パッド部における上層金属配線の剥がれが防止される。

〔実施例〕

次に、本発明を図面を参照して説明する。

第1図は本発明の第1実施例を示しており、同図(a)は平面図、同図(b)はそのA-A線に沿う断面図である。これらの図において、シリコン基板1上に絶縁膜2を介して内部回路につながる下層金属配線3が形成される。この下層金属配線3は、ここではAl-Si-Cu膜31とTiW膜32の積層膜で形成する。この下層金属配線3上に層間絶縁膜4をプラズマCVD法等により0.3μmないし2μm程度堆積し、フォトリソグラフィ技術を用いて小さな面積をした複数個(ここでは2個)のビア・ホール5を開孔する。そして、例えば選択CVD法等を用いてこのビア・ホール内にタングステン(W)を埋込んでタングステン層51を形成している。

その後、上層金属配線6として例えばAl-Si-Cu膜をスパッタ等により堆積し、パターンニングする。そして、チップ表面上に例えばSiON膜等の表面保護膜7を形成し、外部との接続を行

うためのワイヤボンディング用の領域にフォトリソグラフィ技術を用いて開孔71を設ける。この開孔71は、第1図(a)に示すように、上下層の金属配線3、6をつなぐビア・ホール5上には開孔されないよう配置されている。

したがって、この構成によれば、開孔71によって露呈されている上層金属配線6の部分、すなわち電極パッド部61の直下にはビア・ホール5が存在しないため、この電極パッド部61においては上層金属配線6とタングステン層51との熱膨張係数の相違が原因とされる応力が発生することがない。これにより、少なくともこの電極パッド部61での上層金属配線6とタングステン層51との間で剥がれが生じることはなく、ワイヤボンディングの信頼性を確保し、かつ耐湿性を確保する。

第2図(a)および(b)は本発明の第2実施例を示しており、同図(a)は平面図、同図(b)はそのB-B線に沿う断面図である。なお、これらの図において、第1実施例と同一または均等な

ているため、金属配線の剥がれをさらに改善することができる。

なお、本発明は、金属配線層がアルミニウムまたはアルミニウムを主成分とする合金膜、あるいは高融点金属または高融点金属化合物とアルミニウムまたはアルミニウムを主成分とする合金膜との積層膜で構成される半導体装置に適用することができる。

#### 〔発明の効果〕

以上説明したように本発明は、電極パッド部を有する上層金属配線と、その下層の金属配線との接続を行うためのビア・ホールを、電極パッド部以外の表面保護膜で覆われた領域に配設しているので、電極パッド部において上層金属配線とビア・ホール内に埋設された高融点金属との間で応力が発生することはなく、電極パッド部における上層金属配線の剥がれが防止でき、ワイヤボンディングの信頼性を改善し、かつ半導体装置の耐湿性を改善することができる効果がある。

また、ビア・ホールを、小さい面積をした複数

部分には同一符号を付してある。

下層金属配線3と上層金属配線6の接続は、第1の実施例と同様にビア・ホール5内に埋込まれたタングステン層51により行われている。

そして、この実施例では、上層金属配線6は、アルミニウム系金属層62の下側にTiN、TiW等のバリアメタル層63を有する積層構造として構成している。また、上下層の金属配線3、6を接続するビア・ホール5は、開孔71で画成される電極パッド部61の直下は避け、その周辺の表面保護膜7の下側に分散して配置している。

なお、ビア・ホール5の寸法は、ここでは2μm以下に設定している。

この構成によれば、ビア・ホール5が電極パッド部61の直下には設けられていないことから、第1実施例と同様に電極パッド部61における上層金属配線6の剥がれが防止でき、ワイヤボンディングの信頼性を向上させ、かつ耐湿性を向上することができる。また、この実施例ではビア・ホール5の寸法を第1実施例よりもさらに小さくし

個のビア・ホールで構成することで、それぞれのビア・ホールにおける上下層の金属配線間での応力をさらに効果的に防止することができる。

#### 4. 図面の簡単な説明

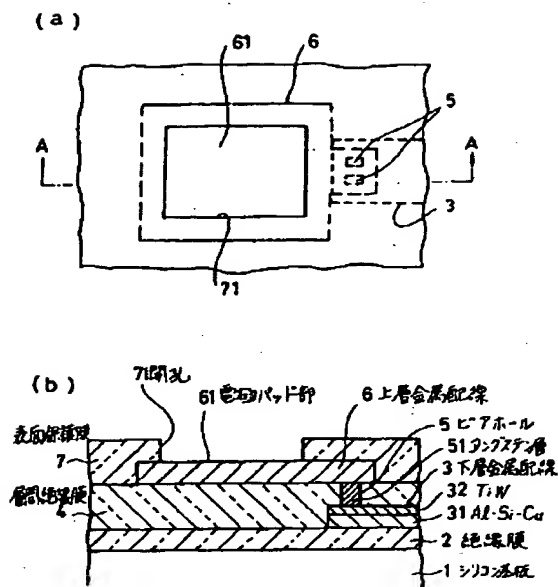
第1図は本発明の第1実施例を示し、同図(a)は平面図、同図(b)はそのA-A線に沿う断面図、第2図は本発明の第2実施例を示し、同図(a)は平面図、同図(b)はそのB-B線に沿う断面図、第3図は従来以前に採用されていた構造を示し、同図(a)は平面図、同図(b)はそのC-C線に沿う断面図、第4図は従来の改善された構造を示し、同図(a)は平面図、同図(b)はそのD-D線に沿う断面図である。

1…シリコン基板、2…絶縁膜、3…下層金属配線、4…層間絶縁膜、5、5A…ビア・ホール、6…上層金属配線、7…表面保護膜、31…Al-Si-Cu、32…TiW、51…タングステン層、61…電極パッド部、62…アルミニウム系金属、63…バリアメタル層、71…開孔。

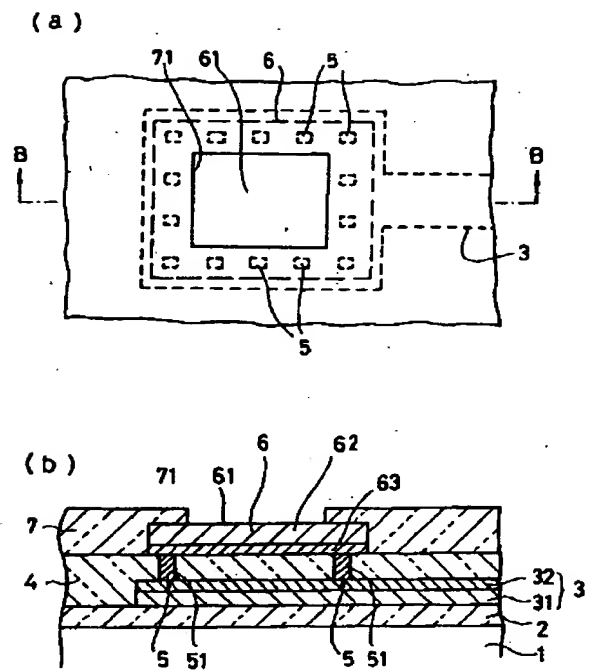
代理人 弁理士 鈴木 章



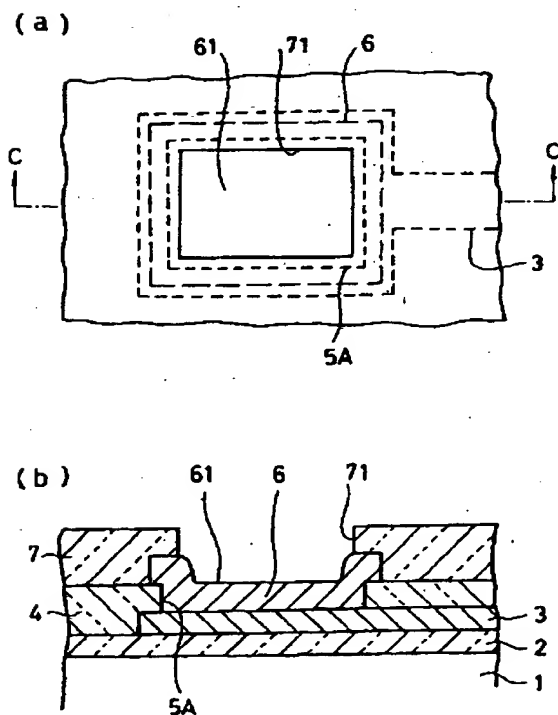
第 1 図



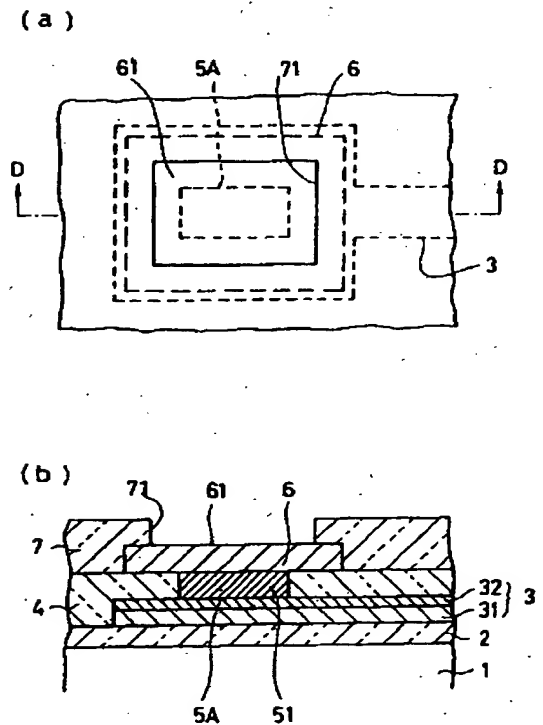
第 2 図



第 3 図



第 4 図



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-167449

(43)Date of publication of application : 15.06.1992

(51)Int.Cl.

H01L 21/90  
H01L 21/3205

(21)Application number : 02-293958

(71)Applicant : NEC CORP

(22)Date of filing : 31.10.1990

(72)Inventor : OOKA HIDEYUKI

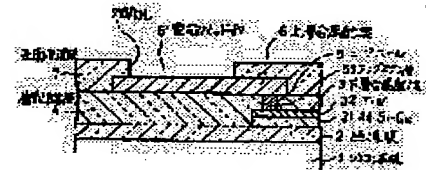
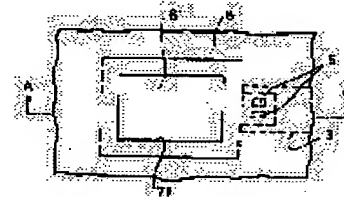
## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To prevent separation of an upper layer metallic pattern at an electrode pad, by forming a via-hole in a region covered with a protective coat instead of in a region right below the electrode pad.

**CONSTITUTION:** An inter-layer insulation film 4 is deposited over a lower layer conductor pattern 3 by means of the plasma CVD, and the like. A via-hole 5 is formed in the film using a photolithographic technique. Filling the hole with tungsten constitutes a tungsten layer 51. An upper layer metallic pattern 6 is deposited over the film by means of, e.g. a sputtering, and undergoes patterning. The surface of a chip is covered with a protective coat 7 consisting of, e.g. an SiON film. An opening hole 71 is formed at an area for wire bonding where a connection is established with an external component, employing the photolithographic technique.

This opening hole 71 is positioned so as not to be located over the via-hole 5, which is an interconnection between the upper layer 6 and the lower layer 3 of the metallic patterns. The absence of the via-hole 5 right below the electrode pad 61 prevents, at the electrode pad 61, the separation between the upper layer metallic pattern 6 and the tungsten layer 51.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

7  
[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office